

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093726

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 21/205

C30B 29/38

(21)Application number : 2000-377618

(71)Applicant : UNIV MEIJO

JAPAN SOCIETY FOR THE  
PROMOTION OF SCIENCE

(22)Date of filing : 12.12.2000

(72)Inventor : AKASAKI ISAMU

AMANO HIROSHI

DEETOPUROMU TEIRADEETO

YANO MASAHIRO

NAKAMURA AKIRA

(30)Priority

Priority number : 2000213132

Priority date : 13.07.2000

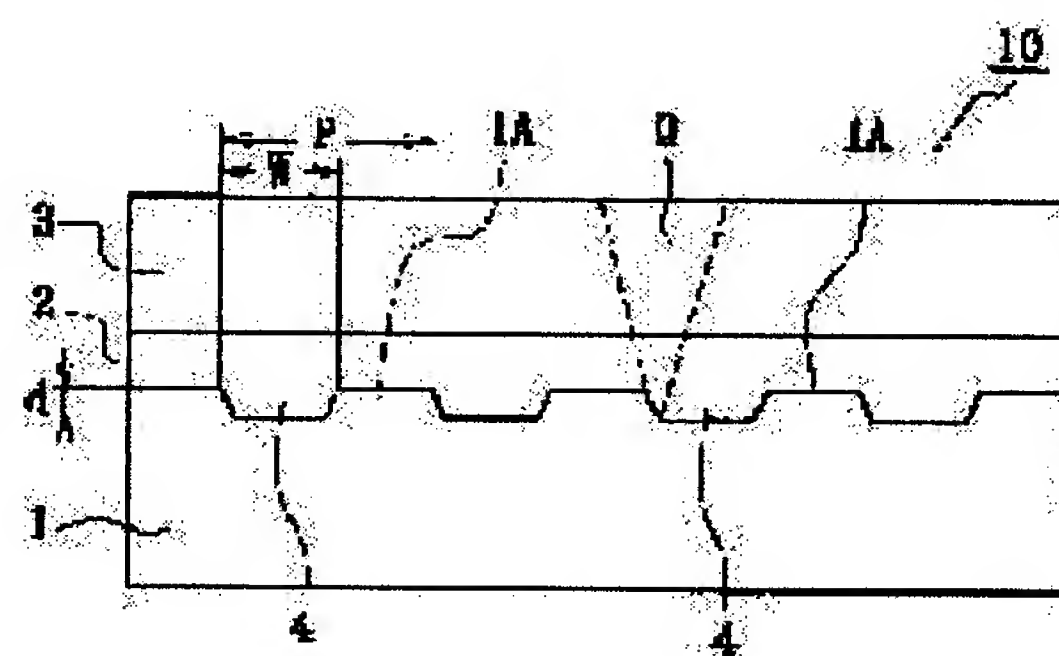
Priority country : JP

(54) SEMICONDUCTOR ELEMENT AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a novel manufacturing method, with which dislocation density of semiconductor crystals in a semiconductor element can be reduced, and a semiconductor element including a semiconductor single-crystal layer, having a low dislocation density layer formed by this method.

SOLUTION: A plurality of grooves 4 in stripes, having a width W and a depth d, are formed in a main surface 1A of a single-crystal plate 1 at intervals of P. Then, an intermediate layer 2 is formed to cover the grooves 4 on the main surface 1A of the single-crystal plate 1 and a semiconductor single crystal layer 3 is formed on this intermediate layer 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-93726  
(P2002-93726A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 G 0 7 7
C 3 0 B 29/38		C 3 0 B 29/38	D 5 F 0 4 5
			Z

審査請求 有 請求項の数 8 O L (全 5 頁)

(21) 出願番号	特願2000-377618 (P2000-377618)	(71) 出願人	599002043 学校法人 名城大学 愛知県名古屋市天白区塩釜口1-501
(22) 出願日	平成12年12月12日 (2000.12.12)	(71) 出願人	597154117 日本学術振興会 東京都千代田区麹町5丁目3番1号
(31) 優先権主張番号	特願2000-213132 (P2000-213132)	(72) 発明者	赤▲崎▼ 男 愛知県名古屋市西区浄心1-1 38-805
(32) 優先日	平成12年7月13日 (2000.7.13)	(72) 発明者	天野 浩 愛知県名古屋市名東区山の手2-104 宝 マンション山の手508
(33) 優先権主張国	日本 (J P)	(74) 代理人	100072051 弁理士 杉村 興作 (外1名)

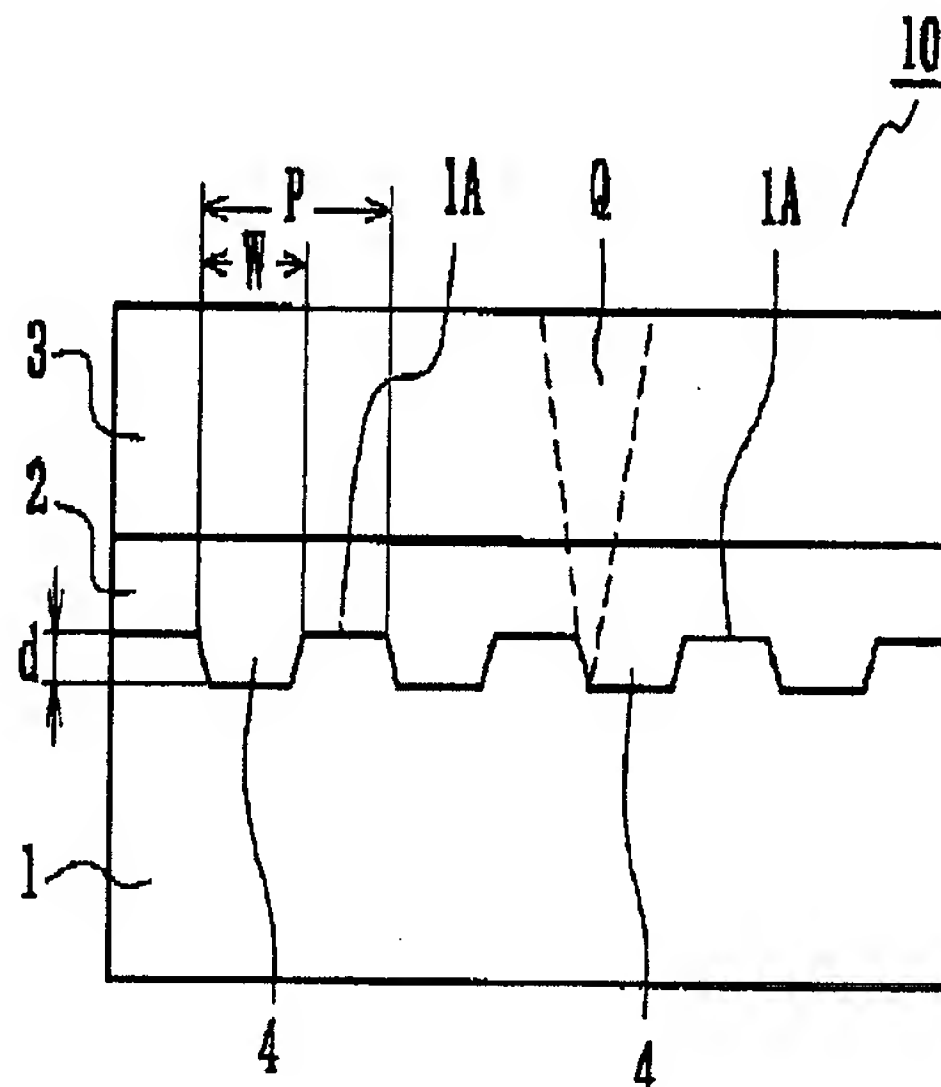
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法及び半導体素子

(57) 【要約】

【課題】 半導体素子中における半導体単結晶の転位密度を低減することが可能な新規な製造方法を提供し、これによって低転位密度の領域を有する半導体単結晶層を具えた半導体素子を得る。

【解決手段】 単結晶基板1に主面1Aに、幅W、深さdのストライプ状の溝4を周期Pで複数形成する。そして、単結晶基板1の主面1A上に、溝4を覆うようにして中間層2を形成し、この中間層2上に半導体単結晶層3を形成する。



【特許請求の範囲】

【請求項1】 所定の単結晶基板の主面上に複数の溝を周期的なストライプ状に形成した後に、前記単結晶基板の前記主面上に半導体層を順次に形成して所定の半導体素子を製造することを特徴とする、半導体素子の製造方法。

【請求項2】 前記複数の溝の周期が $0.1 \sim 50 \mu\text{m}$ であることを特徴とする、請求項1に記載の半導体素子の製造方法。

【請求項3】 前記溝の幅が $0.05 \sim 50 \mu\text{m}$ であり、前記溝の深さが $0.0003 \sim 300 \mu\text{m}$ であることを特徴とする、請求項1又は2に記載の半導体素子の製造方法。

【請求項4】 所定の単結晶基板の主面上に複数の溝を周期的なストライプ状に形成する工程と、前記所定の単結晶基板の前記主面上に中間層を形成する工程と、前記中間層上に半導体層を形成する工程と、を含むことを特徴とする、請求項1～3のいずれか一に記載の半導体素子の製造方法。

【請求項5】 前記半導体層は、転位密度が $107 \text{ cm}^{-2}$ 以下である領域を有することを特徴とする、請求項4に記載の半導体素子の製造方法。

【請求項6】 前記単結晶基板は(0001)サファイア基板、 $6\text{H-SiC}$ 基板、及びSi基板から選ばれる少なくとも1種であり、前記半導体層はGaN単結晶層又はAlGaN単結晶層であることを特徴とする、請求項4又は5に記載の半導体素子の製造方法。

【請求項7】 転位密度が $107 \text{ cm}^{-2}$ 以下の領域を有する半導体単結晶層を具えることを特徴とする、半導体素子。

【請求項8】 複数の溝が周期的なストライプ状の形成された主面上を有する単結晶基板と、この単結晶基板の前記主面上に形成された中間層と、この中間層上に形成された転位密度 $107 \text{ cm}^{-2}$ 以下の領域を有する半導体単結晶層とを具えることを特徴とする、半導体素子。  
【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法及び半導体素子に関し、さらに詳しくはマイクロ波デバイスなどの高速動作デバイスなどにおいて好適に用いることのできる半導体素子の製造方法及びその半導体素子に関する。

【0002】

【従来の技術】従来、半導体素子を作製するに際しては、(0001)サファイア基板や(0001)  $6\text{H-SiC}$ 基板などを用い、これらの基板上に低温緩衝層などの中間層を形成した後、この中間層上に所定のGaN単結晶層やAlGaN単結晶層を形成して目的とする半導体素子を作製していた。そして、このような作製方法

によれば、半導体単結晶層中の残留不純物を低減できることから、これら半導体単結晶層をn型又はp型など任意の導電型に形成することができる。

【0003】一方、このようにして作製した半導体単結晶層中には、 $109 \text{ cm}^{-2}$ 以上の高密度転位が存在しているため、マイクロ波デバイスのような高速動作デバイスにおいて、動作周波数の低減やリーク電流の増加などの悪影響を生じてしまう。

【0004】

【発明が解決しようとする課題】半導体単結晶層中の転位密度を低減させるためには、選択成長を利用した横方向成長法などが提案され、実用されている。

【0005】しかしながら、この方法においても、横方向成長させるための種結晶を、上記のような従来法に基づいて一様な半導体単結晶層を作製した後、この半導体単結晶層を所定形状に加工することによって得ていた。このため、加工中において種結晶中に不純物が混入したり、加工歪みなどの欠陥が生じたりしていた。そして、これらの不純物及び欠陥が横方向成長させて得た半導体単結晶層に悪影響を及ぼし、結果的に良好な半導体単結晶を得ることができないでいた。

【0006】本発明は、半導体素子中における半導体単結晶の転位密度を低減することが可能な新規な製造方法を提供し、これによって低転位密度の領域を有する半導体単結晶層を具えた半導体素子を得ることを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成すべく、本発明は、所定の単結晶基板の主面上に複数の溝を周期的なストライプ状に形成した後に、前記単結晶基板の前記主面上に半導体層を順次に形成して所定の半導体素子を製造することを特徴とする、半導体素子の製造方法に関する。

【0008】本発明者らは、半導体素子中における半導体単結晶の転位密度を低減すべく鋭意検討を行った。その結果、半導体層を形成する単結晶基板の主面上に複数の溝をストライプ状に形成した後、この単結晶基板の主面上に所定の半導体単結晶を形成することにより、特に、前記溝と前記主面との境界において極めて転位密度の低い領域が形成されていることを見出した。したがって、前記半導体単結晶におけるこのような低転位密度の領域を素子の中心部として用いることにより、低転位密度に起因した極めて良好な特性を示すことを見出したものである。

【0009】本発明の半導体素子の製造方法によれば、転位密度 $107 \text{ cm}^{-2}$ 以下の領域を有する半導体単結晶を具える半導体素子を簡易に得ることができる。その結果、マイクロ波デバイスのような高速動作デバイスに好適に用いることのできる半導体素子を提供することができる。

【0010】なお、本発明の製造方法によって低転位密度の領域を有する半導体単結晶が得られる理由については以下のように考えることができる。すなわち、上記のようにして単結晶基板の主面に対して溝を形成し、この溝を含めた単結晶基板上に半導体層を形成しようとする、その形成過程において、基板に対して垂直な方向の高指数面を伴う成長と、溝側面からの低指数面を伴う成長とが混在して生じる。

【0011】そして、特に溝と基板主面との境界においては、これらの成長が合体して行われる。一般に、転位は基板面に対して垂直な方向に伝搬するが、前記溝と前記基板主面との境界においては、高指数面を伴う成長と低指数面を伴う成長とが混在するため、転位の伝搬方向が変化し、それによってこの部分における転位密度が低減されるものと考えられる。

【0012】

【発明の実施の形態】以下、本発明を発明の実施の形態に基づいて詳細に説明する。図1は、本発明の製造方法により製造された半導体素子の一例を示す断面図である。なお、簡単化のために、図1は半導体素子を模式的に示したものであり、実際の形態はこれとは異なる。

【0013】図1に示す半導体素子10において、単結晶基板1の主面1Aには、幅W、深さdのストライプ状の溝4が周期Pで複数形成されている。そして、単結晶基板1の主面1A上には溝4を覆うようにして中間層2が形成されており、この中間層2上に半導体単結晶層3が形成されている。

【0014】本発明においては、図1に示すように、単結晶基板1の主面1A上にストライプ状の溝4が所定の周期で複数形成されていれば、その形態については特に限定されない。しかしながら、低転位密度の領域を比較的広領域に形成するためには、溝4の周期Pは0.1～50 $\mu\text{m}$ であることが好ましく、さらには20～30 $\mu\text{m}$ であることが好ましい。

【0015】また、同じく低転位密度の領域を比較的広範囲に形成するとともに、低転位密度領域の転位密度をより低減させるべく、溝4の幅Wは0.05～50 $\mu\text{m}$ であることが好ましく、さらには20～25 $\mu\text{m}$ であることが好ましい。

【0016】さらに、同じく低転位密度領域の転位密度をより低減させるべく、溝4の深さdは0.0003～300 $\mu\text{m}$ であることが好ましく、さらには0.05～50 $\mu\text{m}$ であることが好ましい。

【0017】周期的なストライプ状の溝4は、通常のフォトリソグラフィ技術を用いてマスクを作製した後、このマスクを介してエッチング処理を行うことによって形成することができる。具体的には、次のようにして作製する。

【0018】最初に、単結晶基板1の主面1A上に蒸着法などの成膜手法を用いることにより、例えばNiなど

からなる一様な層を形成する。次いで、この一様な層に対してフォトリソグラフィを施すことにより、ストライプ状のエッチングマスクを作製する。次いで、このエッチングマスクを介して、例えばC12ガス又はCF4ガスを用いたプラズマエッチング（反応性イオンエッチング（RIE））によって、単結晶基板1の主面1Aを部分的にエッチング除去する。その後、残留マスクを除去することによって所定の周期的溝4を形成する。

【0019】本発明の製造方法によれば、特に溝4と主面1Aとの境界近傍（例えば、図中の破線で示す領域Q）において、107 $\text{cm}^{-2}$ 以下、さらには103 $\text{cm}^{-2}$ の転位密度の領域が形成される。すなわち、このような低転位密度の領域を有する半導体単結晶3を得ることができる。

【0020】なお、低転位密度の領域は、上述した溝4の周期P、幅Wの他、半導体単結晶3の成長条件（形成条件）及び厚さなどを調整することによっても制御できる。

【0021】図1に示す半導体素子10の各層は、目的に応じて所定の材料から構成することができる。例えば、単結晶基板1は、（0001）サファイア基板、6H-SiC基板、Si基板やGaN単結晶基板など、公知の単結晶基板から構成することができる。さらには、必要に応じて、これら基材上に耐熱性膜で被覆したものをを用いることもできる。この耐熱性膜は、必要に応じて核生成を促進するAlN、GaN及びAlGaNや、核生成を抑制するSiO<sub>2</sub>、SiN及びSiなどから構成することができる。

【0022】また、中間層2は、半導体単結晶層3の種類に応じて低温成長のAlN緩衝層やAlGaN下地層などから構成することができる。さらに、半導体単結晶層3は半導体素子10の用途及び目的に応じてGaN単結晶層あるいはAlGaN単結晶層、さらにはInなどを含む混晶系から構成することができる。また、中間層2及び半導体単結晶層3は、これらを構成する材料の種類に応じて、有機金属気相成長法（MOVPE）など、公知の成膜方法を用いて形成することができる。

【0023】

【実施例】以下、実施例において本発明の効果を具体的に示す。本実施例においては、図1に示すような構成の半導体素子から半導体発光素子を作製した。単結晶基板1には、（0001）サファイア基板を用いた。次いで、この基板の主面1A上に上述したような手順にしたがってストライプ状のNiマスクを作製した。その後、このマスクを介してC12ガスを用いたプラズマエッチング（反応性イオンエッチング）を施すことにより、主面1A上に周期Pが10 $\mu\text{m}$ で、幅Wが3～5 $\mu\text{m}$ 、深さdが0.05～0.3 $\mu\text{m}$ のストライプ状の溝4を周期的に形成した。

【0024】次いで、単結晶基板1の主面1A上にMO



VPE法によって、500℃の低温でAlN緩衝層2を、溝4を覆うように成長させて厚さ0.02μmに形成した。その後、AlN緩衝層2上に、1000～1100℃の高温で同じくMOVPE法によってGaN単結晶層3を厚さ4μmに成長させて形成した。

【0025】図2は、このようにして作製した半導体素子の断面を示す透過型電子顕微鏡（TEM）写真であり、図3は、このTEM写真を模式的に示す図である。図2及び3から明らかなように、溝4と主面1Aとの境界近傍Qにおいて低転位密度の低い領域が形成されていることが判明した。なお、図2において、AlN緩衝層はその厚さが小さいため、明確には出現していない。

【0026】図4及び5は、それぞれ上記半導体素子の基板側及び半導体単結晶側に所定の電極を形成し、この電極を介して前記半導体素子に所定の電圧を印加したときの発光ピーク強度並びにピーク波長分布を示す図である。図4から明らかなように、図2及び3における低転位密度である領域Qは、それ以外の領域に対し約2倍の発光強度を有することが分かる。また、図5から、領域Qにおけるピーク波長は、その他の領域と比較して約1nm長波長側にシフトしていることが分かる。すなわち、図4及び5から、低転位密度の領域Qにおいて、発光特性が大きく改善されていることが分かる。

【0027】なお、領域Qにおける転位密度をTEM観察によって測定したところ、約 $106\text{ cm}^{-2}$ であることが判明した。

【0028】以上、発明の実施の形態に則して本発明を説明してきたが、本発明の内容は上記に限定されるものではなく、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。例えば、図1においては、単結晶基板1と半導体単結晶層3との間に中間層を単層の状態で形成し、この中間層を緩衝層又は下地層と

して機能させている。しかしながら、必要に応じて中間層を緩衝層と下地層との2層構造とすることもできるし、他の機能を有する層をも含めた3層以上の層構造とすることもできる。

【0029】

【発明の効果】以上説明したように、本発明によれば、極めて簡易な方法によって低転位密度領域を有する半導体単結晶層を具える半導体素子を得ることができる。これによって、マイクロ波デバイスのような高速動作デバイスに好適に用いることのできる半導体素子を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の製造方法により製造された半導体素子の一例を示す断面図である。

【図2】 本発明の製造方法により製造された半導体素子の透過型電子顕微鏡（TEM）写真である。

【図3】 図2に示すTEM写真の模式図である。

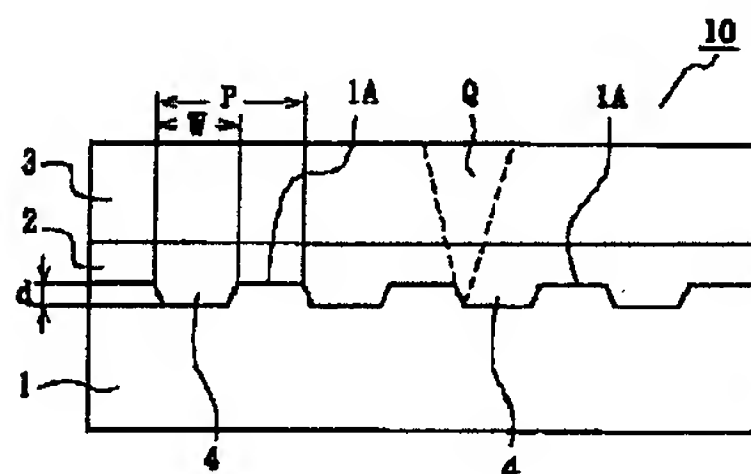
【図4】 本発明の製造方法により製造された半導体素子の発光ピーク強度を示す図である。

【図5】 本発明の製造方法により製造された半導体素子のピーク波長分布を示す図である。

【符号の説明】

- 1 単結晶基板（（0001）サファイア基板）
- 1A 単結晶基板の主面
- 2 中間層（AlN緩衝層）
- 3 半導体単結晶層（GaN単結晶層）
- 4 溝
- 10 半導体素子
- P 溝の周期
- W 溝の幅
- d 溝の深さ
- Q 低転位密度の領域

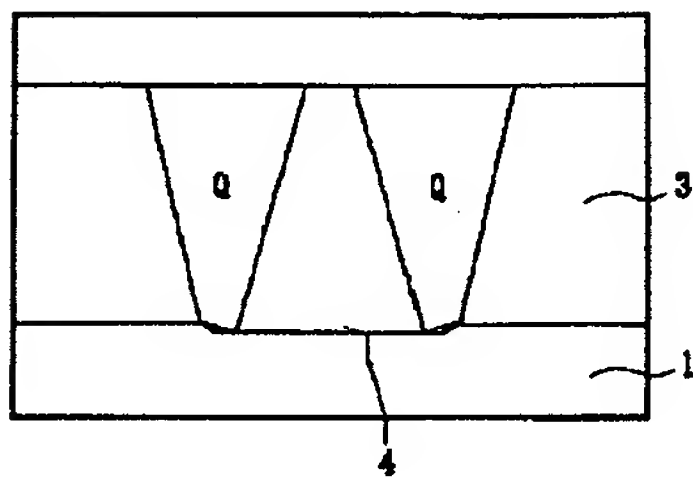
【図1】



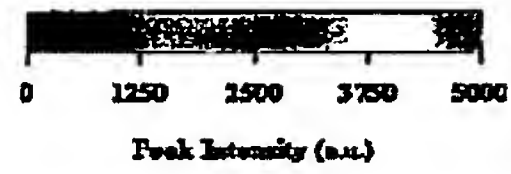
【図2】



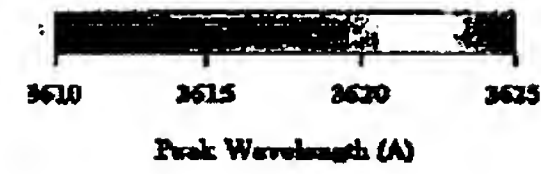
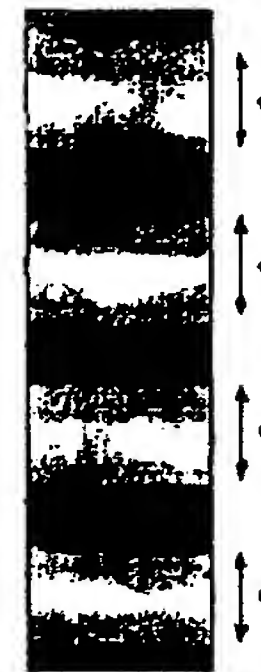
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 デートプロム ティーラデート  
愛知県名古屋市昭和区広路町字単人5-1  
アーバンドエル松中305  
(72)発明者 矢野 雅大  
愛知県愛知郡長久手町塚田408

(72)発明者 中村 亮  
愛知県名古屋市天白区植田南2-121 メ  
ゾンドブリムール402  
Fターム(参考) 4G077 AA03 BE11 BE15 DB08 ED04  
ED06 EE06 EE10 EF01  
5F045 AA04 AB14 AF05 AF08 BB12  
CA09